

## テープBGAタイプCSPの開発

安生一郎、春田亮、橋爪孝則、佐伯準一、永井晃、北野誠 \*1 \*2 \*3

日立製作所 半導体事業部 \*1) 日立製作所 生産技術研究所  
 \*2) 日立製作所 日立研究所 \*3) 日立製作所 機械研究所

〒187 東京都小平市上水本町5丁目20番1号  
 TEL:0423-25-1111

あらまし

携帯機器への搭載を主対象にしたCSP(Chip Size/Scale Package)を開発した。メモリ用として、エラストマで実装時のはんだバンプの熱疲労を緩和するテープ配線方式のFan-in構造を採用した。マイコン・ASIC用として、0.5mmピッチで周辺2列のアウタバンプを有するTAB方式を活用したFan-out構造を採用した。メモリ用に外形が $11.5 \times 6.6\text{mm}$ の40ピンを、マイコン・ASIC用に外形が11mm角の152ピンを試作した。これらを評価した結果、いずれも、実装基板との間にアンダーフィル処理を施さない状態で、現行標準パッケージとほぼ同等の信頼性が得られた。

キーワード チップサイズ チップスケール パッケージ エラストマ はんだバンプ

## Development of Tape BGA Type CSP

Ichiro Anjoh, Ryo Haruta, Takanori Hasizume, Junichi Saeki, Akira Nagai and Makoto Kitano \*1 \*2 \*3

Semiconductor and Integrated Circuits Division, Hitachi,Ltd.

\*1 Production Engineering Research Laboratory, Hitachi,Ltd.

Hitachi Research Laboratory, Hitachi,Ltd. \*2

\*3 Mechanical Engineering Research Laboratory, Hitachi,Ltd.

20-1, Josuihon-cho 5cyome, Kodaira-shi, Tokyo 187, Japan  
 TEL. 0423-25-1111

**Abstract** For the purpose of mounting mainly personal handy equipments, two kinds of CSP(Chip Size/Scale Package) have been developed. For memory chips, a fan-in type having polyimide tape and elastomer has been adopted. The elastomer relieves thermal fatigue of solder bumps connected with assembly boards. For chips of microcomputer and ASIC, a fan-out type having perimeter 2 rows of solder bumps with 0.5mm pitch has been adopted. In assembling, conventional TAB process is fully used. The fan-in type of 40 pins having  $11.5 \times 6.6\text{mm}$  outer size, and the fan-out type of 152 pins having  $11.0 \times 11.0\text{mm}$  outer size were fabricated. The reliability of these CSPs without using under fill on assembly boards was found to be equivalent to that of conventional standard packages.

key words chip size chip scale package elastomer solder bump

# テープBGAタイプCSPの開発

## Development of Tape BGA Type CSP

安生一郎、春田亮、橋爪孝則、  
Ichiro Anjoh, Ryo Haruta, Takanori Hashizume,  
佐伯準一<sup>\*1</sup>、永井晃<sup>\*2</sup>、北野誠<sup>\*3</sup>  
Junichi Saeki<sup>\*1</sup>, Akira Nagai<sup>\*2</sup> and Makoto Kitano<sup>\*3</sup>

日立製作所 半導体事業部  
Semiconductor & Integrated Circuits Division, Hitachi,Ltd.

\*1) 日立製作所 生産技術研究所  
Production Engineering Research Laboratory, Hitachi,Ltd.

\*2) 日立製作所 日立研究所  
Hitachi Research Laboratory, Hitachi,Ltd.

\*3) 日立製作所 機械研究所  
Mechanical Engineering Research Laboratory, Hitachi,Ltd.

### 1. 緒言

近年、電子機器の高機能化、小型・軽量化が急速に進んでいる。特に、これから高度情報化社会を支える超小型の新しい製品群、すなわち携帯電話、デジタルカメラ・ビデオやPDA (Personal Digital Assistant)などへのニーズが非常に高くなっている。

これまでLSIパッケージは、搭載用電子機器の高密度実装化に対応して軽薄短小化が図られてきた。しかし、上記携帯機器は、持ち運びに負担にならないような小型・軽量化、情報量や処理速度を増すための機能の付加、多くの人が利用するための低コスト化の追求が継続的に行われるため、搭載パッケージもこれに合致した新しい形態のものが需要となってきた。

現在、各社で携帯機器搭載を主目的とした超小型LSIパッケージの開発が進められており、CSPと呼称されている[1]～[6]。これはパッケージサイズがほぼチップと同じ場合はChip Size Packageの略称であり、チップサイズより大きいが現行標準パッケージのサイズよりはかなり小さい場合はChip Scale Packageの略称となる。

ここでは、CSPの開発状況について述べる。

### 2. CSPの利点

現行面実装型パッケージやベアチップ実装とCSPとの一般的な比較はこれまでに多く述べられている[1]～[6]ので、ここでは割愛する。

図1に電気特性から見たCSPのメリットを示す。これは、パッケージの配線長、自己インダクタンスと同時切り替えノイズとの関係[7],[8]をシミュレーションしたものである。ここでは、例として入出力とグランドピンの比率が16:1の場合を用いた。また、

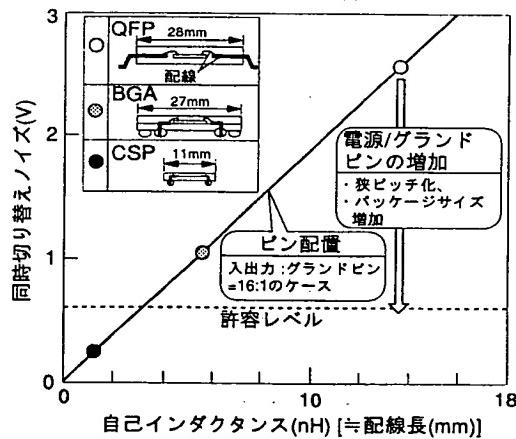


図1 CSPのメリット

代表的なQFP、BGAと3.3で述べる構造のCSPを比較した。配線長の増加に伴い、自己インダクタンスが増え、同時に切り替えノイズが大きくなる。用いたピン配置の条件において、長い配線のQFP、これより配線の短いBGAでもノイズは許容レベルにまで下がっていない。一方、CSPでは配線長が非常に短いために、ノイズは許容レベルのかなり下にある。これは、あくまでもピン配置を仮想したときの計算例であり、実際には電源/グランドのピン数を増やして許容レベル以下のQFPやBGAを設計している。しかし、この対策は端子の狭ピッチ化やパッケージサイズの増加につながり、特にQFPでは実装面でかなり不利になる。CSPはピン数の増加を伴わずに大幅なノイズ低減が図れるというメリットを有している。

### 3. CSPの開発

#### 3.1 方式の選定

LSIはチップ面積が大きくピン数があまり多くないメモリ系と、チップ面積に比べピン数が多いマイコン・ASIC(Application Specific IC)系に大別できる。ここでは、この両者の特徴を考慮してCSPの最適方式を検討することにした。

図2にCSP方式策定のための定義を示す。左がメモリ系、右がマイコン・ASIC系である。ここでは、CSPとして両者ともチップの下にインターポーラーが置かれ、この下にアウタバンプを格子状に配列して

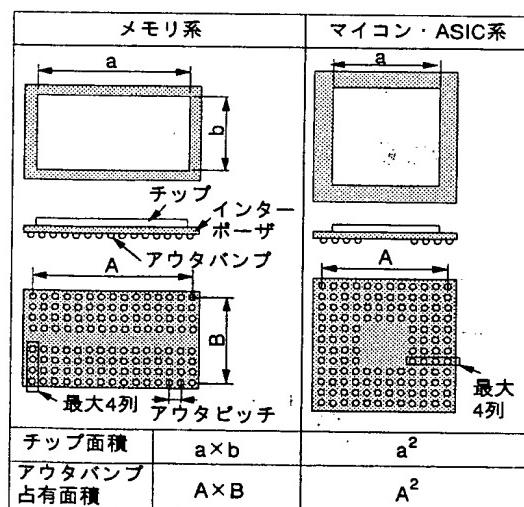


図2 CSP方式策定のための定義

ある。インターポーラーはチップと実装基板との配線接続媒体や実装時のストレスバッファの役割を果たす部分である。アウタバンプは実装基板に接続する部分であり、実装面積を小さくするため、エリアアレイのバンプ構造を採用することにした。また、ピン数が多い場合、アウタバンプがパッケージの中央まで占めるとパッケージ側、実装基板側とも民生用途としての安価な配線が困難になるため、ここでは外側から最大4列のバンプ配置に限定して検討した。アウタバンプ占有面積は最外周のバンプに囲まれる面積とした。

図3にチップ面積とアウタバンプ占有面積の比較を示す。ここでは開発予定の製品も含まれているため、スケール、ピン数は省略した。アウタピッチは現在の民生用途の実装技術で対応可能な、1.0, 0.8, 0.5mmの3種類を用いた。図中、網掛け部がチップ面積内バンプ配置が可能な領域である。メモリ系の場合、アウタピッチが1.0mmでもアウタバンプがチップ面積内に収まることが分かる。すなわち、Chip Size Packageが可能である。一方、マイコン・ASIC系ではマイコンの一部のみが0.5mmピッチでチップ面積内にバンプ配置が可能で、後はすべて大きくはみだしている。特にピン数の多いASICで顕著である。このことは、マイコン・ASIC系ではアウタバンプをチップの外に張り出す必要がある、すなわち、Chip Scale Packageになることを示している。

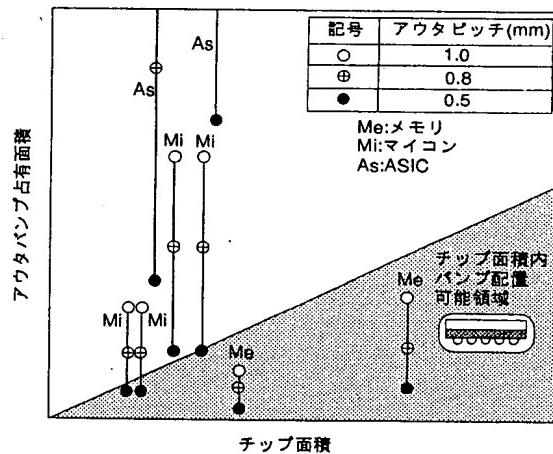


図3 チップ面積とアウタバンプ占有面積の比較

図4にCSP構造とアウタバンプ疲労寿命の予測値の比較を示す。ここでは、CSPはTAB用に標準的に使われているポリイミドテープをインターポーラーとし、アウタバンプには一般的な共晶はんだボール(Φ0.3mm)を用いた。また、実装基板として民生用途に一般的に使われているFR4を用い、基板実装時の温度サイクルによるはんだバンプの疲労寿命を数値解析により予測した。なお、参考として、チップに直接はんだバンプを取り付けた場合の寿命予測も行い、これを基準とした相対値で寿命を表した。

アウタバンプがチップ面積内に収まるFan-in構造、ならびにアウタバンプの一部がチップ面積内に入り、残りがチップの外に張り出すFan in & out構造では、アウタバンプの疲労寿命はインターポーラーなしの場合の1.5~2倍程度になっている。一方、すべてのアウタバンプがチップの外に出るFan out構造では、寿命はインターポーラーなしの場合の約7倍程度に伸びている。これは、インターポーラーとして弾性率が大きく、かつ薄いポリイミドテープを用いているため、チップ下にバンプが存在するFan-in, Fan in & outの構造に対してはストレスバッファとしての役割を果たしにくくこと、チップ下にバンプが存在しないFan-outの構造ではバンプに歪みが生じにくいことが主な理由と考えられる。

図3に示したようにメモリ系のチップはFan-inの構造が可能である。Fan-inはパッケージサイズ

が最小で高速化、高密度実装化のメリットがもっとも活かせる構造である。課題はアウタバンプの接続寿命であるが、これについては3.2で述べる対策を施すことにして、メモリ系のチップに対してはFan-in構造を採用することにした。

一方、マイコン・ASIC系では、チップ内にアウタバンプが収まらないため、Fan-in & outかFan-outかの選択となる。Fan-in & outは広いアウタピッチで多くのピン数を取り出すことができるため、実装が容易という利点を有している。Fan-outはアウタバンプの寿命は長いが、小型化が課題である。ここでは、実装基板の配線設計のしやすさがほぼ同等で、しかも民生用途対応の低コスト実装が可能と考えられる、0.8mmピッチ4列のFan-in & out CSPと0.5mmピッチ周辺2列のFan-out CSPとの外形の比較も行って総合的に判定することにした。また、現在、マイコン・ASIC用パッケージとして標準的に用いられている0.5mmピッチのQFPとの比較も併せて行った。

図5にCSPとQFPの外形サイズの比較を示す。横軸はピン数、縦軸はサイズである。なお、CSPは0.4mmピッチ4列のFan-in & outをタイプA、0.5mmピッチ周辺2列のFan-outをタイプBと呼称する。Lは外形サイズであり、CSPではいずれも最外周のアウタバンプから片側に1ピッチ分大きく取ってある。 $L_c$ は搭載可能最大チップサイズであり、イン

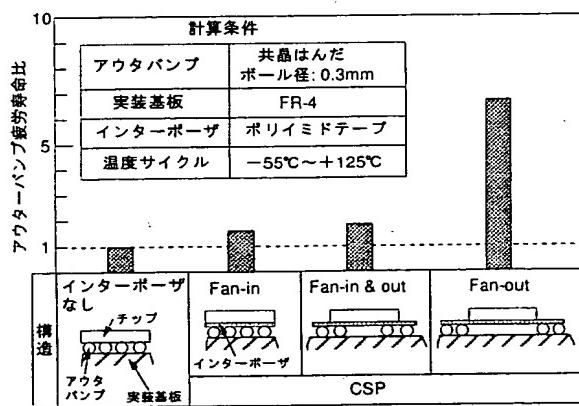


図4 CSP構造とアウタバンプ疲労寿命の予測値の比較

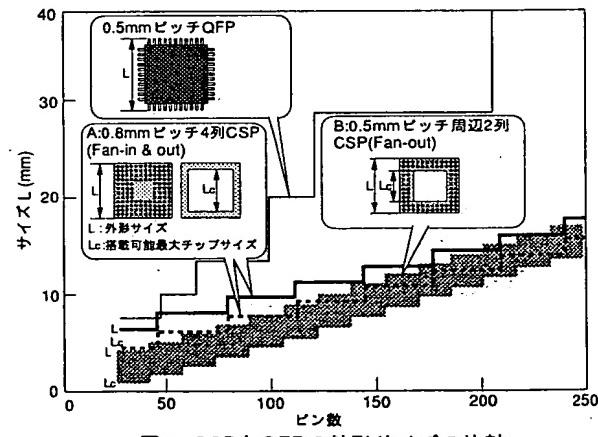


図5 CSPとQFPの外形サイズの比較

がもっと  
の接続  
対策を  
おFan-  
にアウ  
Fan-out  
ピッチ  
り、実装  
・アウタ  
る。ここ  
E同等  
可能と考  
CSPと  
形の比  
ミた、現  
準的に  
交も併

です。  
CSPは  
0.5mm  
る。L  
ト周のア  
てあ  
、イン

ナーボンディングのためのスペースを考慮して、タイプAではパッケージ外形から片側1.0mm入った大きさとし、タイプBでは、最内周のバンプ位置から片側0.7mm入った大きさという前提を設けた。

現行QFPではピン数範囲をグループ分けしており、ピン数の増加に伴い外形サイズはステップ状に増加していく。CSPでもバンプ配列の規則性から収納最大バンプ数がステップ状に増加するため、ピン数の増加に伴い外形サイズもステップ状に増加している。同じピン数で比較すると、どちらのCSPも外形サイズはQFPよりも小さくなる。また、ピン数の増加に伴う外形サイズの増加率はQFPがもっとも大きく、エリアアレイ方式のCSPではいずれもかなり小さくなっている。このことは多ピン化が進んだときにエリアアレイタイプのCSPがパッケージの小型化のために有効であることを示している。

ピン数が少ない場合、同じピン数ではタイプBがタイプAよりも外形は小さい。一方、搭載可能最大チップサイズを同じにして見ると、タイプBの方がタイプAよりも外形が大きくなる。このように、CSPを比較する際には、外形サイズ、収納できるピン数とチップサイズとの関連があるため、次にこれらを整理してみた。

図6に現行チップ搭載時のCSPパッケージ外形の比較を示す。横軸はマイコン・ASIC用現行チップの面積をそれぞれのピン数で除した値、縦軸はこれらのチップをタイプBとタイプAのCSPに収納したときの外形の比率である。これから、チップ面積/ピン数の値が大きい、すなわち、面積の割にピン数が少ないチップに対してはタイプAがタイプBよりも小型にできることがわかる。一方、チップ面積/ピン数の値が小さい、すなわち、面積の割にピン数の多いチップに対してはタイプBの方がタイプAよりも小型にできる。現時点ではパッケージ外形についてはほぼ同等と考えられる。今後、生産効率向上のためのチップシュリンクと高機能化のための多ピン化が進められるため、チップ面積/ピン数の値は小さくなっていく方向にある。このことは、タイプBのFan-outでも十分小型化を図れることを示している。

以上の検討結果、ならびに図4の接続寿命の予測結果を総合して、マイコン・ASIC用として0.5mm

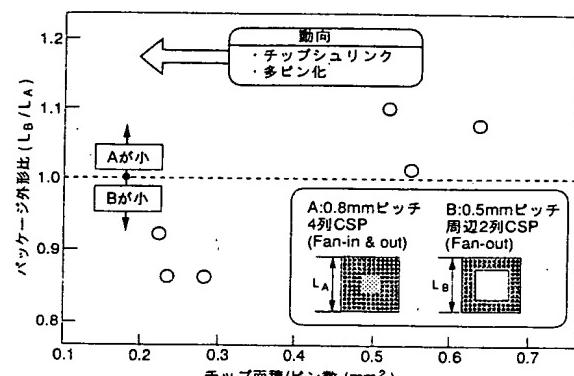


図6 現行チップ搭載時のCSPパッケージ外形の比較

ピッチ周辺2列配置のFan-out CSPを採用することにした。

図7にCSP開発の基本コンセプトを示す。メモリ系、マイコン・ASIC系とも配線用のインターポーラーとしてTAB(Tape Automated Bonding)で実績のあるポリイミドテープを用いて低コスト化を図りやすいようにした。さらに、両者とも金型を用いない封止法により短納期化を図りやすいようにした。狙いは実装後のアンダーフィル処理が不要で、一括リフローが可能なCSPにすることである。

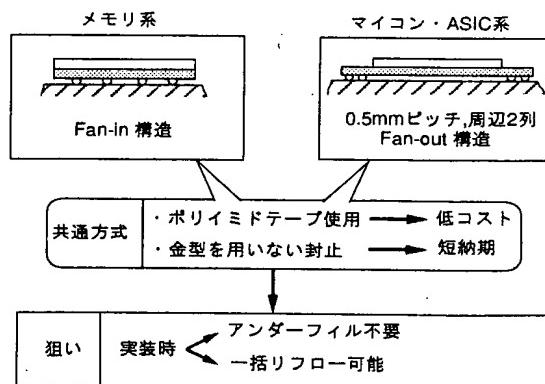


図7 CSP開発の基本コンセプト

### 3.2 メモリ用CSPの開発

メモリ用にはFan-in構造を用いるが、図4に示したように実装時の接続寿命対策が課題である。この解決策として、米国のテセラ(Tessera(TM)社よりμBGA(TM)技術を導入した[9],[10]。図8にその構造の概略を示す。チップはFace downに置かれ、TAB方式のようにCu配線を形成したポリイミドテープを用いてパッド部からの配線引き出しを行う。パッド部以外のチップ下にはエラストマ(弹性のある接着剤)が敷かれ、ポリイミドテープはエラストマの下面に接着されている。テープ下には規則的にCu配線部を露出させ、はんだバンプをエリアアレイ状に形成する。この方式の利点は、エラストマがチップと実装基板との熱膨張係数差により生じるストレスを緩和するためはんだバンプの接続寿命が伸び、Chip Size Packageを実現しながら、従来のFR-4などの安価なガラエボ基板を用いての実装が可能となることである。

図9にFan-in構造におけるエラストマの効果の計算結果を示す。横軸はインターボーザの室温弹性率であり、縦軸およびパラメータの整理法は図4と同じである。低弹性率のエラストマの使用によりアウ

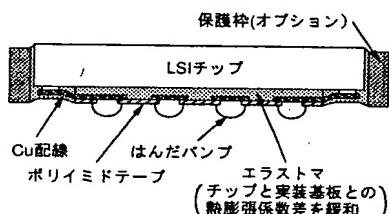


図8 テセラCSPの構造

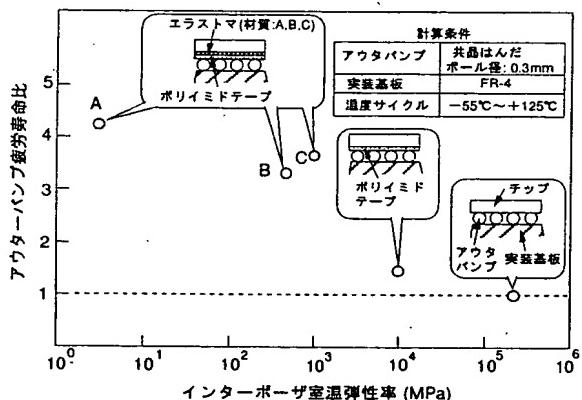


図9 Fan-in構造におけるエラストマの効果(計算値)

ターバンプの疲労寿命が急激に伸びている。このような解析を基に具体的な材料選定とプロセスの構築を進めた。

図10に試作したテセラ方式のCSP40の組立プロセスと仕様を示す。LOC(Lead on Chip)用のチップのため、センターパッド配置になっており、中央部でテープのCu配線部とチップパッド部とが接続される。アウターピッチは1.0mmではんだボールの径はΦ0.6mmを用いた。

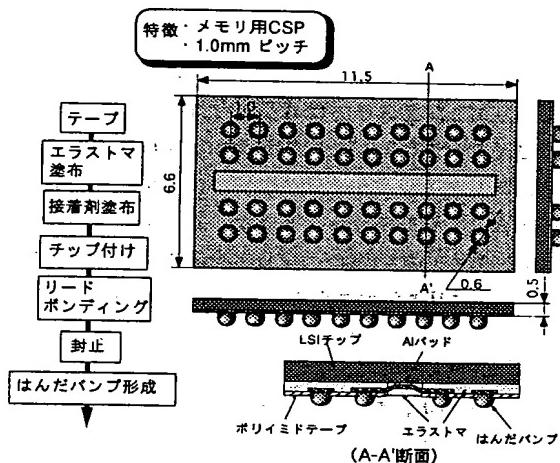


図10 メモリ用Fan-in CSP40の組立プロセスと仕様

表1にCSP40の信頼性評価結果を示す。各試験項目において右端に示す時間まで不良は発生していない。これは現行のメモリ用標準パッケージと同等のレベルである。特に温度サイクル試験ではアンダーフィルなしではんだバンプ部の長寿命化が達成できており、信頼性の高いChip Size Packageの見通しが得られた。今後、各種メモリ製品への展開を図っていく予定である。

表1 Fan-in CSP40の信頼性評価結果

温度サイクル試験 (-55°C/10min~+125°C/10min) <基板実装>	500 cyc	1000cyc	1500 cyc
	0/21	0/21	0/21
高温高湿試験 (85°C/85%RH)	240h	408h	
	0/19	0/19	
PCT (121°C/2atm)	187h	480h	
	0/41	0/41	
高温放置試験 (150°C)	500h	1000h	
	0/11	0/11	

### 3.3 マイコン・ASIC用CSPの開発

図11に多ピン用のFan-out CSPの基本構造を示す。チップはFace downに置かれ、Cu配線を形成したポリイミドテープを用いてパッド部からの配線引き出しを行う。テープはチップの外側に置かれ、Cu配線を露出した箇所にはんだパンプを搭載する。テープの変形防止、ならびにハンドリング性確保のために、テープ上には補強板を接着する構造とした。チップ下と側面は樹脂で封止して信頼性を確保するようにした。

図12に試作したFan out CSP152の組立プロセスと仕様を示す。プロセスの前半は従来TABプロセスと同じである。はんだボールの径は $\phi 0.3\text{mm}$ とした。なお、材料選定や諸元の決定に当たっては基礎実験や各種応力解析を行い、適正材料や値を定めた。

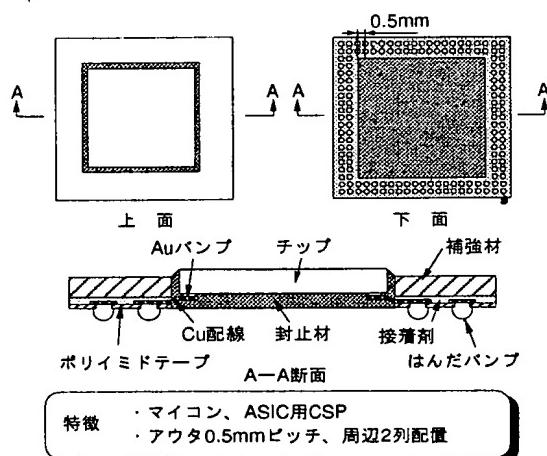


図11 Fan-out CSPの基本構造

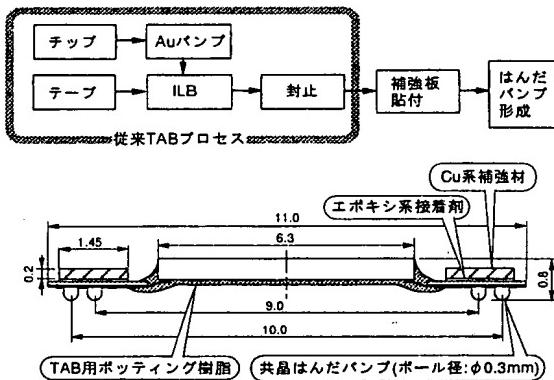


図12 Fan-out CSP152の組立プロセスと仕様

表2にCSP152の評価結果を示す。ここでは、Tape Daisy(テープおよび実装基板内で回路が閉じる)仕様を用いた。同じクラスの現行QFPに比べ面積で1/4、高さで1/2、重量で1/9となり、大幅な小型・軽量化が図れた。また、バンプ下の平坦性(コブラナリティ)もEIAJ(日本電子機械工業会)でのFine Pitch BGA規格案の0.8mm Max.に比べかなり小さくできている。信頼性については、飽和吸湿後のリフロー試験でチップ/樹脂界面、接着剤層の剥離は観察されなかった。樹脂基板実装時の温度サイクル試験ではアンダーフィルなしの状態で1000サイクル後にも不良は生じていない。

さらに、CSPは携帯機器に搭載されるため、服のポケット内などでかなりの変形を受けるものと考えられる。このため、樹脂基板に実装した状態で基板の曲げ試験を行った。パッケージ近傍の実装基板に歪みゲージを貼り付け、強制荷重を加えて基板の歪みとはなんだ接合部の抵抗の関係を調べた。この結果、断線(はんだ接合部剥離)に至るまでの歪み量はQFP208の約10倍という結果が得られた。すなわち、本構造のCSPではQFPの約10倍の実装基板の変形量に耐えられるということになり、大きな繰り返し変形を生じやすい携帯機器用途には適している見通しも得られた。

表2 Fan out CSP152の評価結果

項目		結果
サイズ、重量(QFP144に対する比率)		面積:121mm <sup>2</sup> (1/4), 高さ:0.8mm(1/2) 重量:0.17g(1/9)
平坦性	テープ下 バンプ下	≤28μm (目標:≤50μm) ≤40μm (目標:≤80μm)
信頼性	耐リフロー性 85°C/65%RH, 48h吸湿(飽和吸湿状態)+エアリフロー 耐温度サイクル性 樹脂基板実装: -55~+125°C	チップ/樹脂界面、接着剤層の剥離なし (n=6) 1000サイクルにて接続不良なし(n=5) (アンダーフィルなし)
強度	曲げ試験 荷重 実装基板 パッケージ 歪みゲージ	限界基板変形量: QFP208の10倍 断線に至るまでの歪み量: QFP208の10倍

#### 4. 今後の展開

図13にBGA(CSP)の予定ラインアップを示す。メモリ対応のFan-in CSPは1.0mmピッチに加え、今後、チップサイズに対してピン数が比較的多いメモリ品種にも適応させるために、0.8または0.75mmピッチのCSPのラインアップも進めていく予定である。一方、マイコン・ASIC対応のFan-out CSPは270ピンクラスまでを対象とし、品種展開を図る予定である。超多ピンについては、携帯機器以外の用途が主体となるため、広いピッチのBGAで対応を図る予定である。

#### 5. 結言

携帯機器搭載を主対象にしたCSPの検討を行い、以下の結論を得た。

- (1)メモリ系にはFan-in構造を、マイコン・ASIC系にはFan-out構造を採用した。
  - (2)メモリ系用として、エラストマを用いたテープ配線方式を採用した。試作評価により、現行標準パッケージ並の信頼性を有するChip Size Packageの実現見通しが得られた。
  - (3)マイコン・ASIC系用として、0.5mmピッチの周辺2列アウタバンプ配置が適正であることを示した。
- TAB方式を活用した構造のCSPを試作評価し、QFPよりも大幅に小型・軽量化でき、信頼性、強度などに優れるChip Scale Package実現の見通しが得られた。

#### 6. 参考文献

- [1] 本田 進, 回路実装学会誌, Vol.11, p77 (1996)
- [2] 門間 美和, EIAJ 第4回表面実装技術フォーラム'96 (1996)
- [3] 阿部 和則 他, 電子材料9月号, p27 (1995)
- [4] 方 廉一郎 他, 電子材料9月号, p33(1995)
- [5] 藤野 純司 他, 電子材料9月号, p47(1995)
- [6] 若林 信一 他, 日本電子材料技術協会会報, Vol.27, p14 (1995)
- [7] N.Nanamura et al., Proc. of 44th ECTC , p663 (1994)
- [8] 清水 浩也 他, 電子情報通信学会論文誌, C-II Vol. J79-C-II, p8 (1996)
- [9] 安生 一郎, 春田 亮, 表面実装技術, Vol.5, p35 (1995)
- [10] L.C.Matthew et al., Proc. of Surface Mount Int. 1994, p212 (1994)

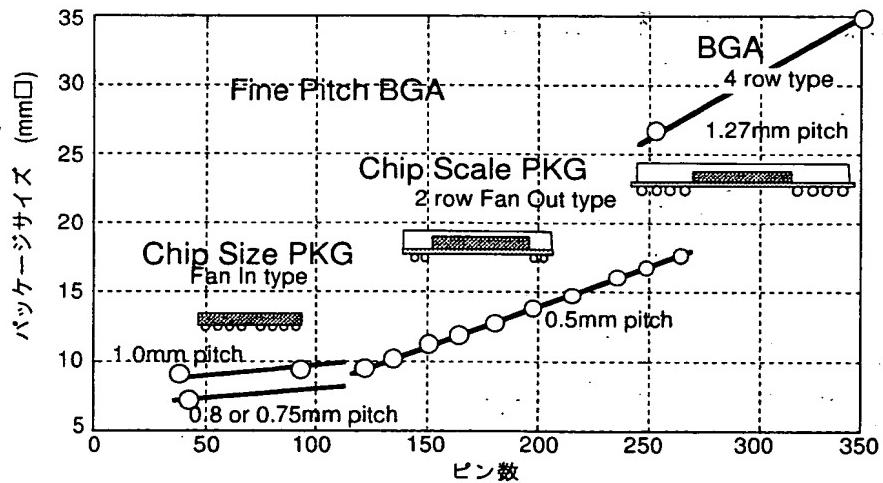


図13 BGA(CSP)の予定ラインアップ